

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-309169

2

(43)Date of publication of application : 04.11.1994

(51)Int.Cl.

G06F 9/42

G06F 9/46

(21)Application number : 05-100755

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.04.1993

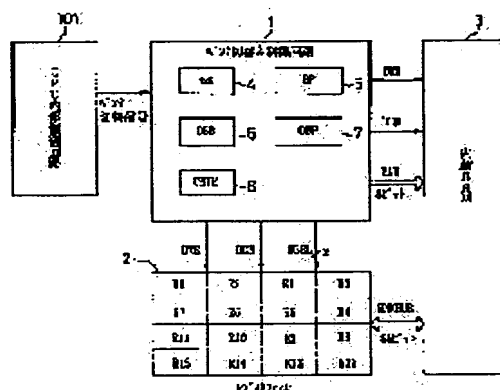
(72)Inventor : NISHIMURA AKIRA

(54) INFORMATION PROCESSOR

(57)Abstract:

PURPOSE: To provide the information processor where the switching time of register banks is shortened.

CONSTITUTION: A register file 2 where save and restore of information in registers are managed with a group as the unit, an incorporated RAM 3 to/from which information is saved/restored from/to the register file 2 through a private bus with a group as the unit, and a bank switching control circuit 1 which saves or restores only registers, which are discriminated based on information designating registers to be used before and after save or restore with a group as the unit and are used in common before and after save or restore, with a group as the unit are provided and are formed on the same chip to constitute the information processor.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



PatentWeb
Home



Edit
Search



Return to
Patent List



Back to
Record



Help

MicroPatent® Worldwide PatSearch: Record 1 of 3

2

Family of JP06309169 [How It Works](#)

Family of JP06309169

No additional family members are found for this document



PatentWeb
Home



Edit
Search



Return to
Patent List



Back to
Record



Help

For further information, please contact:
[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-309169

(43) 公開日 平成6年(1994)11月4日

(51) IntCl.⁵ 識別記号 弁内整理番号 F I 技術表示箇所
G 0 6 F 9/42 3 3 0 R 9189-5B
9/46 3 1 3 D 8120-5B

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号 特願平5-100755

(22) 出願日 平成5年(1993)4月27日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 西村 明

神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内

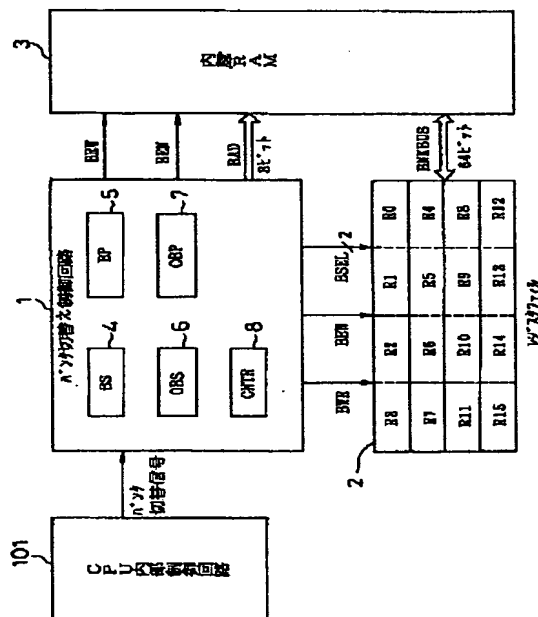
(74) 代理人 弁理士 三好 秀和 (外3名)

(54) 【発明の名称】 情報処理装置

(57) 【要約】

【目的】 この発明は、レジスタバンクの切替え時間を短縮した情報処理装置を提供することを目的とする。

【構成】 この発明は、グループ単位でレジスタの情報の退避、回復が管理されるレジスタファイル2と、レジスタファイル2との間で専用バスを介して情報がグループ単位で退避、回復される内蔵RAM3と、退避前後又は回復前後に使用するレジスタをグループ単位で指定する情報に基づいて判別された退避前後又は回復前後に共通に使用されるレジスタのみをグループ単位で退避又は回復するバンク切替え制御回路1とを有し、バンク切替え制御回路1、レジスタファイル2及び内蔵RAM3が同一チップ上に形成されて構成される。



【特許請求の範囲】

【請求項1】 レジスタファイルに含まれるレジスタがグループ化されて、グループ単位でレジスタの情報の退避、回復が管理されるレジスタファイルと、レジスタファイルとの間で専用バスを介してレジスタの情報がグループ単位で退避、回復される記憶装置と、退避前又は回復前に使用しているレジスタをグループ単位で指定する情報及び退避後又は回復後に使用するレジスタをグループ単位で指定する情報を保持し、保持された情報に基づいてレジスタの退避前後又は回復前後で共通に使用されるレジスタのグループを判別し、共通に使用されるレジスタのみをグループ単位で退避又は回復するバンク切替え制御手段とを有し、レジスタファイル、記憶装置及びバンク切替え制御手段が同一チップ上に形成されてなることを特徴とする情報処理装置。

【請求項2】 退避又は回復前後で使用されるレジスタは、使用される上限又は下限のレジスタ番号で指定され、使用されるレジスタの個数は、1サイクルタイムで退避、回復が可能なレジスタの個数の整数倍で規定されてなることを特徴とする請求項1記載の情報処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はレジスタバンク機能をもつ情報処理装置のバンク切替えに関する。

【0002】

【従来の技術】 レジスタバンク切替えは、割り込みやサブルーチンコールの際に行い、割り込み発生前もしくはサブルーチンコールの前のCPU内部の汎用レジスタの内容を一時的に退避したり、退避しておいた内容を汎用レジスタに回復したりするのに使用される。

【0003】 このようなレジスタバンク機能の実現方法の一つとして、汎用レジスタの退避先にシングルチップコンピュータのオンチップ内蔵RAMを使用して行う方法がある。この時、高速なバンク切替えを行うために、CPUと内蔵RAMをバンク切替え用の専用バスで接続しデータ転送を行う。

【0004】 このような従来技術によるマイクロコンピュータの構成図を図3に示す。

【0005】 図3において、マイクロコンピュータは、CPU内部制御回路101とバンク切替え制御回路102とレジスタファイル(16ビット×16本、R0-R15)103と内蔵RAM104から構成される。バンク切替え制御回路102には、バンクポインタレジスタ(BP)105とオールドバンクポインタレジスタ(OBP)106が含まれる。

【0006】 バンク切替え制御回路102はCPU内部制御回路101からバンク切替え信号を受けると、レジスタファイル103と内蔵RAM104の間のデータ転送の制御を開始する。バンク切替え制御回路102は内

蔵RAM104へ、リードライト信号(BRW)、イネーブル信号(BEN)の制御信号及びアドレス(BAD(7:0))を出力して内蔵RAM104を制御する。また、バンク切替え制御回路102はレジスタファイル103へリードライト信号(RRW)、イネーブル信号(REN)、セレクト信号(RSEL(1:0))を出力してレジスタファイル103の動作を制御する。さらに、レジスタファイル103と内蔵RAM104は64ビットのバス(BNKBUS)で接続されている。

【0007】 バンクポインタレジスタ(BP)105は、バンク切替え後のレジスタファイル103の内蔵RAM104上の写像領域の開始位置を指示する。オールドバンクポインタレジスタ(OBP)106はバンク切替え前のレジスタファイル103の写像領域の開始位置を指示する。

【0008】 BP、OBPそれぞれは8×N(N=0, 1, 2, ...)のバイトアドレスの値を保持し、8バイト単位で内蔵RAM104上のアドレスを、レジスタファイル103の転送領域の開始位置として指定できる。

【0009】 このような構成において、割り込みやサブルーチンコールが発生すると、CPU内部制御回路101はバンク切替え制御回路102にバンク切替え信号をアクティブにして出力し、バンク切替え制御回路102はこれを受けて、図4に示すように以下に示す動作を行い、レジスタファイル103と内蔵RAM104との間のデータ転送の制御を行う。

【0010】 まず、第1のクロックサイクルでバンク切替え信号がアクティブになると、バンク切替え制御回路102はR0~R3の64ビット分のデータをBNKBUSに出力するようレジスタファイル103に指示を出し、内蔵RAM104に対してはBNKBUS上のデータを持つ領域に書き込むよう指示を出す。これにより、R0~R3のレジスタが内蔵RAM104のOBP~OBP+7の領域にストアされる。

【0011】 次に、第2のクロックサイクルで、バンク切替え制御回路102は、まずR4~R7の64ビット分のデータをBNKBUSに出力するようレジスタファイル103に指示を出し、内蔵RAM104に対してはBNKBUS上のデータを内蔵RAM104のOBP+8~OBP+15のアドレスを持つ領域に書き込むよう指示を出す。これにより、R4~R7のレジスタが内蔵RAM104のOBP+8~OBP+15の領域にストアされる。

【0012】 次に、第3のクロックサイクルで、バンク切替え制御回路102は、まずR8~R11の64ビット分のデータをBNKBUSに出力するようレジスタファイル103に指示を出し、内蔵RAM104に対してはBNKBUS上のデータを内蔵RAM104のOBP

3

+16~OBP+23のアドレスを持つ領域に書き込むよう指示を出す。これにより、R8~R11のレジスタが内蔵RAM104のOBP+16~OBP+23の領域にストアされる。

【0013】次に、第4のクロックサイクルで、バンク切替え制御回路102は、まずR12~R15の64ビット分のデータをBNKBUSに出力するようレジスタファイル102に指示を出し、内蔵RAM104に対してはBNKBUS上のデータを内蔵RAM104のOBP+24~OBP+31のアドレスを持つ領域に書き込むよう指示を出す。これにより、R12~R15のレジスタが内蔵RAM104のOBP+24~OBP+31の領域にストアされる。

【0014】次に、第5のクロックサイクルで、バンク切替え制御回路102は、内蔵RAM104に対してはBP~BP+7のアドレスにある64ビットのデータをBNKBUSに出力するように指示を出し、レジスタファイル103に対してはBNKBUS上のデータをR0~R3に書き込むよう指示を出す。これにより、内蔵RAM104のBP~BP+7領域のデータがR0~R3

にロードされる。

【0015】次に、第6のクロックサイクルで、バンク切替え制御回路102は、内蔵RAM104に対してはBP+8~BP+15のアドレスにある64ビットのデータをBNKBUSに出力するように指示を出し、レジスタファイル103に対してはBNKBUS上のデータをR4~R7に書き込むよう指示を出す。これにより、内蔵RAM104のBP+8~BP+15領域のデータがR4~R7にロードされる。

【0016】次に、第7のクロックサイクルで、バンク切替え制御回路102は、内蔵RAM104に対してはBP+16~BP+23のアドレスにある64ビットのデータをBNKBUSに出力するように指示を出し、レジスタファイル103に対してはBNKBUS上のデータをR8~R11に書き込むよう指示を出す。これにより、内蔵RAM104のBP+16~BP+23領域のデータがR8~R11にロードされる。

【0017】最後に、第8のクロックサイクルで、バンク切替え制御回路102は、内蔵RAM104に対してはBP+24~BP+31のアドレスにある64ビットのデータをBNKBUSに出力するように指示を出し、レジスタファイル103に対してはBNKBUS上のデータをR12~R15に書き込むよう指示を出す。これにより、内蔵RAM104のBP+24~BP+31領域のデータがR12~R15にロードされる。

【0018】このようにして、レジスタファイル103の全内容のストアに4サイクル、レジスタファイル103の全内容のロードに4サイクル、総計8サイクルでレジスタバンクの切替えが行われる。この時、内蔵RAM104上のデータとレジスタファイルのデータ転送の様

4

子は図4に示すようになり、レジスタファイル103の全内容が内蔵RAM104のOBPとOBP+31までの領域にストアされ、内蔵RAM104のBPからBP+31の領域のデータがレジスタファイル103にロードされる。

【0019】一方、特開昭63-13842号公報ならびに特開平2-173826号公報には、タスク切り換えやサブルーチンの呼び出し等が発生した場合に、必要なレジスタのみを退避、回復する情報処理装置が記載されている。

【0020】しかし、これらの情報処理装置は、汎用レジスタの構造がバンク構造でなく、個々のレジスタ毎に退避、回復の制御を行なっている。このため、退避、回復の処理効率が悪く、処理能力の低下を招いていた。さらに、上記情報処理装置は、汎用レジスタの情報が退避、回復される主記憶装置が汎用レジスタやCPUと同一チップ上に形成されておらず、汎用レジスタと主記憶装置間での情報の入出力に専用のバスやデータバスが必要になっていた。

【0021】このため、専用バスを設ける場合には、汎用レジスタを含むチップと主記憶装置を含むチップの別々のチップ間にバスを設けなければならず、転送データのビット数が多くなると、専用バスの形成が困難になっていた。一方、情報処理装置に備えられたデータバスを使用する場合には、汎用レジスタの退避、回復が行われる際にデータバスが専有され、他のデータ転送ができず、処理効率の低下を招いていた。

【0022】

【発明が解決しようとする課題】以上説明したように、図3及び図4に示す従来の情報処理装置にあっては、同一チップ上にある内蔵RAMと専用バスを介してデータ転送することによりレジスタファイルのすべての内容を退避、回復していた。このため、退避、回復のために多くの時間が必要となり、バンク切替えを必要とする処理の処理効率が低下するという不具合を招いていた。

【0023】一方、特開昭63-138432号公報や特開平2-173826号公報に開示された情報処理装置にあっては、個々のレジスタ毎に退避、回復が制御されていたとともに、汎用レジスタと主記憶装置が1チップ化されていないため、転送効率の低下や転送バスの形成が困難になるという不具合を招いていた。

【0024】そこで、この発明は、上記に鑑みてなされたものであり、その目的とするところは、レジスタファイルの退避、回復に要する時間を短縮して、処理能力の向上を図った情報処理装置を提供することにある。

【0025】

【課題を解決するための手段】上記目的を達成するために、請求項1記載の発明は、レジスタファイルに含まれるレジスタがグループ化されて、グループ単位でレジスタの情報の退避、回復が管理されるレジスタファイル

と、レジスタファイルとの間で専用バスを介してレジスタの情報がグループ単位で退避、回復される記憶装置と、退避前又は回復前に使用しているレジスタをグループ単位で指定する情報及び退避後又は回復後に使用するレジスタをグループ単位で指定する情報を保持し、保持された情報に基づいてレジスタの退避前後又は回復前後で共通に使用されるレジスタのグループを判別し、共通に使用されるレジスタのみをグループ単位で退避又は回復するバンク切替え制御手段とを有し、レジスタファイル、記憶装置及びバンク切替え制御手段が同一チップ上に形成されてされて構成される。

【0026】請求項2記載の発明は、請求項1記載の情報処理装置において、退避又は回復前後で使用されるレジスタのグループは、使用される上限又は下限のレジスタ番号で指定され、使用されるレジスタの個数は、1サイクルタイムで退避、回復が可能なレジスタの個数の整数倍で規定されて構成される。

【0027】

【作用】上記構成において、請求項1記載の発明は、レジスタファイル及び記憶装置が形成された同一チップ上に形成される専用バスを介して、レジスタファイルと記憶装置との間でグループ単位で情報の退避、回復を行うようにしている。

【0028】

【実施例】以下、図面を用いてこの発明の実施例を説明する。

【0029】図1はこの発明の一実施例に係わる情報処理装置の構成を示す図である。図1に示す実施例の情報処理装置は、レジスタファイルがグループ化されて内蔵RAMとデータの転送を行ってレジスタバンク切替えを行うマイクロコンピュータにおいて、レジスタバンクの切替え前後で共通に使用するレジスタに対してのみ退*

*退、回復を行うものであり、レジスタファイルの情報がグループ単位で退避、回復される記憶装置となる内蔵RAMとレジスタファイルとは、同一のチップ上に形成されて1チップ化されている。

【0030】図1において、この実施例の装置はバンク切替え制御回路1と図3に示すレジスタファイルと同様なレジスタファイル2（16ビット×16本）と内蔵RAM3から構成されている。バンク切替え制御回路1には、バンクサイズレジスタ（BS）4とバンクポインタレジスタ（BP）5とオールドバンクサイズレジスタ（OBS）6とオールドバンクポインタレジスタ（OBP）7とデータ転送回数レジスタ（CNTR）8が含まれる。バンク切替え制御回路1はバンク切替信号を受けると、レジスタファイル2と内蔵RAM3の間のデータ転送の制御を行う。バンク切替え制御回路1から内蔵RAM3へは、リードライト信号（BRW）、イネーブル信号（BEN）の制御信号及びアドレス（BAD（7：0））が供給される。バンク切替え制御回路1からレジスタファイル2へは、リードライト信号（RRW）、イネーブル信号（REN）、セレクト信号（RSEL（1：0））が供給される。また、レジスタファイル2と内蔵RAM3は64ビットのバス（BNKBUS）で接続されている。

【0031】バンクサイズレジスタ（BS）4はバンク切替え後に使用可能なレジスタを、オールドバンクサイズレジスタ（OBS）6はバンク切替え前に使用可能なレジスタを指定する。BS、OBSはともに2ビットのレジスタで、表1に示すように使用可能なレジスタを定義する。

【0032】

【表1】

BS/OBSの値	使用可能レジスタ
11	R0～R15の16本
10	R0～R11の12本
01	R0～R7の8本
10	R0～R3の4本

指定方法としては、サブルーチンコールの場合には、ソフトウェアの実行による所定の命令によりそれぞれのレジスタに情報がセットされる。一方、割り込み処理の場合には、割り込み処理の前処理において割り込みの内容が判別されて、判別された内容に基づいて情報がそれぞれのレジスタにセットされる。

【0033】データ転送回数レジスタ（CNTR）8に

は、BS4とOBS6の内容に従って、レジスタファイル2と内蔵RAM3間のデータ転送の回数が設定される。

【0034】バンクポインタレジスタ（BP）5は、バンク切替え後のレジスタファイル2の内蔵RAM3上の写像領域の開始位置を指示する。オールドバンクポインタレジスタ（OBP）7はバンク切替え前のレジスタフ

ファイル2の写像領域の開始位置を指示する。

【0035】BP5、OBP7は $8 \times N$ ($N=0, 1, 2, \dots$) のバイトアドレスの値をもち、8バイト単位で内蔵RAM3上のアドレスを、写像領域の開始位置として指定できる。

【0036】このような構成において、割り込みやサブルーチンコールが発生すると、CPU内部制御回路101はレジスタバンク切替信号をアクティブにして出力し、バンク切替制御回路1はこれを受けて以下に示す動作を行い、レジスタファイル2と内蔵RAM3との間のデータ転送の制御を行う。

【0037】まず、レジスタバンク切替信号がアクティブになると、バンク切替制御回路1はBS4とOBS6の小さい方の値から、データ転送の回数を決定し、表2に示すようにデータ転送回数レジスタ(CNTR)8*

に値をセットする。なお、BS4とOBS6が同じ値の場合はその値がCNTR8にセットされる。そして、R0~R3の64ビット分のデータをBNKBUSに出力するようレジスタファイル2に指示を出し、内蔵RAM3に対してはBNKBUS上のデータを内蔵RAM3のOBP~OBP+7のアドレスを持つ領域に書き込むよう指示を出し、R0~R3を内蔵RAM3のOBP~OBP+7の領域にストアする。そして、データ転送終了回数レジスタ(CNTR)8の値を「1」デクリメントする。このようにして、レジスタファイル2から内蔵RAM3へのデータ転送をカウンタが「0」になるまで繰り返し行い、必要なレジスタファイル2の内容だけを内蔵RAM3にストアする。

【0038】

【表2】

BS/OBSの小さい方の値	データ転送の回数(CNTR)
00	1回
01	2回
10	3回
11	4回

次に、バンク切替制御回路1はBS4とOBS6の小さい方の値から、データ転送の回数を決定して回数レジスタ(CNTR)8に値をセットする。そして、内蔵RAM3に対してBP~BP+7の領域の64ビットのデータをBNKBUSに出力するように指示し、レジスタファイル2に対してはBNKBUSのデータをR0~R3に書き込むように指示を出し、内蔵RAM3のBP~BP+7の領域のデータをR0~R3にロードする。そして、データ転送終了後回数レジスタ(CNTR)8の値を「1」デクリメントする。このようにして、レジスタファイル2から内蔵RAM3へのデータ転送をカウンタが「0」になるまで繰り返し行い、必要なレジスタファイル2の内容だけを内蔵RAM3にロードする。

【0039】例えばBS=01、OBS=10の時のデータ転送の様子は図2に示すようになる。この時、共通に使用されるレジスタはR0~R7の8本のレジスタであり、この8本のレジスタについてだけ内蔵RAM3へのストア・ロードの操作が行われる。従って、この場合はストアに2クロック、ロードに2クロックで、総計4クロックのデータ転送時間となる。

【0040】上記実施例では、共通して使用するレジスタがR0~R3の4本のみである場合には、レジスタファイル2のストア/ロードに必要な時間は2サイクルである。また、共通して使用するレジスタがR0~R7の

8本のみである場合には、レジスタファイルのストア/ロードに必要な時間は4サイクルである。さらに、共通して使用するレジスタがR0~R11の12本のみである場合には、レジスタファイルのストア/ロードに必要な時間は6サイクルである。また、共通して使用するレジスタがR0~R15の全レジスタである場合には、レジスタファイルのストア/ロードに必要な時間は8サイクルである。

【0041】従って、従来技術では常に8クロックかかっていた転送時間が、共通に使用するレジスタが何本あるかによって0~6クロックのクロックサイクル分短縮される。これにより高速なレジスタバンクバンク切替が可能になり、システム性能の高速化が可能になる。

【0042】また、上記実施例にあっては、レジスタファイルをグループ化して8バイト分(4本分)のレジスタ単位で退避、回復を行うようにしているので、退避、回復のための管理情報がレジスタを個別に管理する場合に比べて少なくなり、管理を容易に行うことができる。さらに、レジスタファイル2と内蔵RAM3とを同一チップ上に形成しているため、レジスタファイル2と内蔵RAM3とを接続する専用バス(BNKBUS)は、別チップとした場合に比べて容易に形成することができる。

【0043】

【発明の効果】レジスタバンク切替えの前後で使用するレジスタに関する情報を保持し、この情報からレジスタバンク切替え前後で共通に使用するレジスタのみを、ストア/ロードすることにより、転送すべきデータ量が減少するので、データ転送に要する時間が短縮され、レジスタバンク切替えの時間を短縮することが可能になる。

【0044】また、レジスタをグループ分けしてグループ単位で情報の退避、回復を行うようにしたので、退避、回復の管理が容易となる。さらに、装置を1チップ化しているので、退避、回復のための情報の転送路となる専用バスを容易に形成することが可能となる。

【図面の簡単な説明】

【図1】この発明の一実施例に係わる情報処理装置の構成を示す図である。

【図2】図1に示す装置における情報転送の様子を示す

図である。

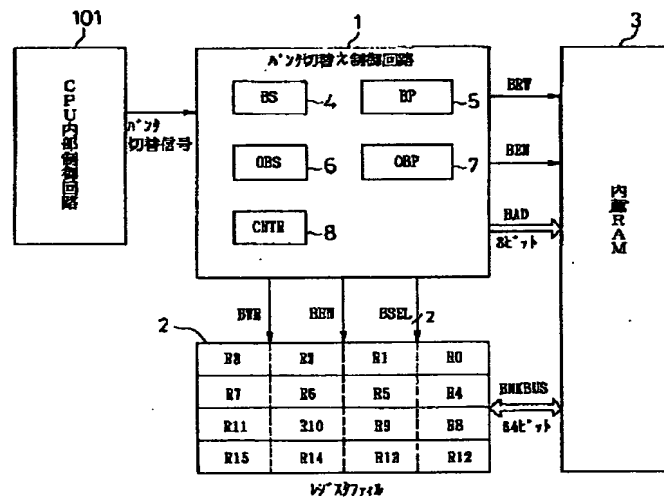
【図3】レジスタバンク切替え機能を備えた従来の情報処理装置の構成を示す図である。

【図4】図3に示す装置における情報転送の様子を示す図である。

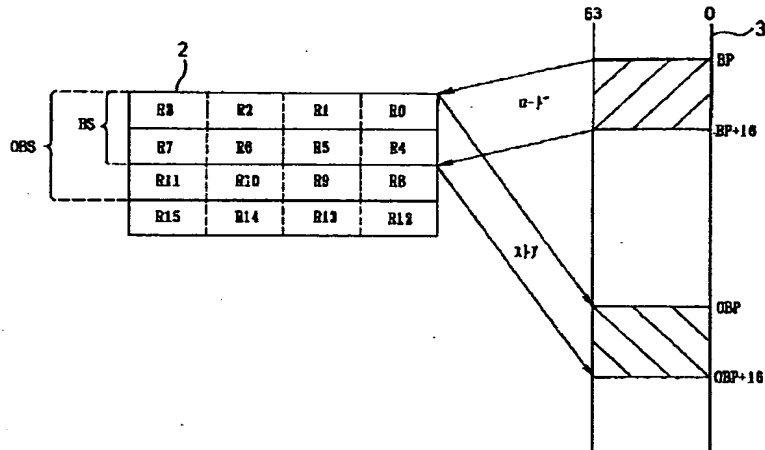
【符号の説明】

- 1, 102 バンク切替え制御回路
- 2, 103 レジスタファイル
- 3, 104 内蔵RAM
- 4 バンクサイズレジスタ
- 5, 105 バンクポインタレジスタ
- 6 オールドバンクサイズレジスタ
- 7, 106 オールドバンクポインタレジスタ
- 8 データ転送回数レジスタ
- 101 CPU内部制御回路

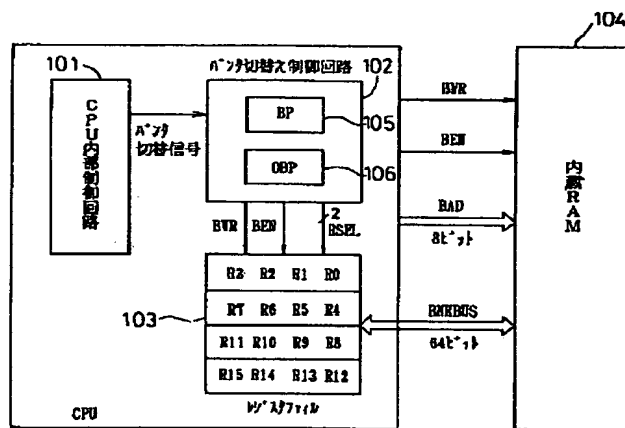
【図1】



【図2】



【図3】



【図4】

